

EPITAXY OF III-V COMPOUND SEMICONDUCTOR

Patent Number: JP62171999
Publication date: 1987-07-28
Inventor(s): KOHAMA TAKETAKA; others: 01
Applicant(s): NIPPON TELEGR & TELEPH CORP
Requested Patent: JP62171999
Application Number: JP19860013751 19860127
Priority Number(s):
IPC Classification: C30B29/40; C30B23/08; C30B25/02
EC Classification:
Equivalents:

Abstract

PURPOSE: A group-IV elementary semiconductor layer of the same as or different from the base semiconductor is allowed to grow epitaxially on the base surface, then a single atomic layer of a group V element is formed thereon, and a III-V compound semiconductor from the group V element used is allowed to grow thereon epitaxially whereby a high-purity semiconductor layer of III-V compound is formed.

CONSTITUTION: A Si crystal of <100> or <111> face orientation is used as a IV-group semiconductor base, and a group-IV semiconductor layer 2 the same as or different from the base such as Si or Ge is allowed to grow epitaxially so that the thickness of the layer becomes integral times that corresponding to double atom layer of the semiconductor.

Then, a single atom layer 3 of group-V element such as P is formed by adsorption on its surface, further, a semiconductor layer 4 of III-V compound from the group V element used such as GaP is formed epitaxially thereon. The process enables the economical mass-production of high-quality III-V compound semiconductor layers free from antiphase boundary.

Data supplied from the esp@cenet database - I2



(12) 公開特許公報 (A)

昭62-171999

(5) Int.Cl.⁴C 30 B 29/40
23/08
25/02

識別記号

厅内整理番号

(43) 公開 昭和62年(1987)7月28日

8518-4G
8518-4G
8518-4G

審査請求 未請求 発明の数 1 (全4頁)

(6) 発明の名称 III-V族化合物半導体のエピタキシャル結晶成長方法

(21) 特願 昭61-13751

(22) 出願 昭61(1986)1月27日

(7) 発明者 小濱 剛孝 武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子
機構技術研究所内

(7) 発明者 福田 幸夫 武蔵野市緑町3丁目9番11号 日本電信電話株式会社電子
機構技術研究所内

(7) 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

(7) 代理人 弁理士 高山 敏夫 外1名

明細書

(産業上の利用分野)

1. 発明の名称

II-V族化合物半導体のエピタキシャル結晶
成長方法

2. 特許請求の範囲

少なくとも、面方位<100>または<111>のIV族半導体基板の表面上に、これと同種かまたは異種のIV族半導体層を、その成長表面上に発生する段差をモニタしながら、前記の段差が該IV族半導体層の二原子層分に相等する厚さの整数倍となるようにエピタキシャル成長させる第一の工程と、前記第一の工程により形成されたIV族半導体層の表面上にV族元素の單原子層を吸着形成させる第二の工程と、前記V族元素を構成元素とするII-V族化合物半導体層を前記第二の工程により形成された前記V族元素の單原子層の表面上にエピタキシャル成長させる第三の工程とを具備することを特徴とする、II-V族化合物半導体のエピタキシャル結晶成長方法。

3. 発明の詳細な説明

本発明はII-V族化合物半導体のエピタキシャル結晶成長方法に関する。

(従来技術及び発明が解決しようとする問題点)

GaAsやGaPに代表されるII-V族化合物半導体は、電気的、光学的に優れた特性を有する反面、高価であるばかりでなく、機械的に脆く熱伝導性も悪い等の欠点がある。このため、安価で且つ機械的、熱的特性にも優れたSiやGeのIV族半導体を基板とし、この上にII-V族化合物半導体をエピタキシャル成長させることにより、安価で機械的、熱的特性に優れたII-V族化合物半導体を実現させようという試みがなされている。

しかしながら、従来、IV族半導体基板上に形成されたII-V族化合物半導体層は、電気的、光学的に極めて活性なアンチフェイズペンドリと呼ばれる面欠陥を多数含んでおり、デバイス形成に適用できる高品位の結晶を得るまでには至っていない。

以下、面方位<100>のSi基板上にGaPをエピタキシャル成長させる場合を例に上記アンチフェイズバンダリについて説明する。

一般に、化学的表面処理によって得られるSi基板の表面には、原子的スケールでみると無秩序な凹凸が存在する。このような表面状態のSi基板上にGaPをエピタキシャル成長させた場合、GaPはGa原子層とP原子層とが順次交互に積層された結晶構造であるため、得られたGaP結晶内に本来あってはならないGaとGaあるいはPとPとが隣接するような結晶面が形成されてしまう。この結晶面が上述したアンチフェイズバンダリと呼ばれる面欠陥である。アンチフェイズバンダリは上述したように電気的、光学的に極めて活性な面欠陥であるので、このような欠陥を多数含むGaP結晶を用いて作製したデバイスはとても実用に耐えがたい。

(問題点を解決するための手段)

本発明は上述した問題点を解決するために提案されたものであり、その目的はⅣ族半導体基

(3)

差をモニタしながら、前記の段差が該Ⅳ族半導体層の二原子層分に相等する厚さの整数倍となるようにエピタキシャル成長させる第一の工程と、前記第一の工程により形成されたⅣ族半導体層の表面上にV族元素の単原子層を吸着形成させる第二の工程と、前記V族元素を構成元素とするⅢ-V族化合物半導体層を前記第二の工程により形成された前記V族元素の単原子層の表面上にエピタキシャル成長させる第三の工程とを具備することを特徴とする、Ⅲ-V族化合物半導体のエピタキシャル結晶成長方法を提案するものである。

第2図は、Si基板上の段差が1原子層に相等する厚さの例を示す。この場合P原子層とGa原子層とを交互に正しく積層していくても、P原子層とP原子層とが隣接するような結晶面、すなわちアンチフェイズバンダリが形成される。これに対して第3図ではSi基板上の段差が二原子層に相等する厚さの例を示し、この場合には、P原子層とGa原子層が交互に正しく積層していれば、アン

板の上にアンチフェイズバンダリの無い高品位のⅢ-V族化合物半導体層を成長形成せしめるⅢ-V族化合物半導体のエピタキシャル結晶成長方法を提供することにある。

上記目的を達成するために本発明者等は種々実験をなした結果、面方位<100>または<111>のⅣ族半導体基板の表面上に、これと同種かまたは異種のⅣ族半導体層を、その成長表面上に発生する段差が該Ⅳ族半導体層の二原子層分に相等する厚さの整数倍となるようにエピタキシャル成長させ、さらに、前記Ⅳ族半導体層の表面上にV族元素の単原子層を吸着形成させた上で、該V族元素を構成元素とするⅢ-V族化合物半導体層をエピタキシャル成長させれば、Ⅳ族半導体基板の上にアンチフェイズバンダリの無い高品位のⅢ-V族化合物半導体層を得られることを発見した。この発見にもとづき、少なくとも、面方位<100>または<111>のⅣ族半導体基板の表面上に、これと同種かまたは異種のⅣ族半導体層を、その成長表面上に発生する段

(4)

チフェイズバンダリは形成されないものである。

以下、エピタキシャル成長装置として分子線エピタキシャル装置を用い、Si基板上にGaPをエピタキシャル成長させる場合を例に、本発明の実施例について説明する。なお、本実施例は一つの例示であって、本発明の精神を逸脱しない範囲内で他の結晶成長装置及び他のⅢ-V族化合物半導体材料のエピタキシャル成長にも適用できることは言うまでもない。

第1図は面方位<100>のSi基板上に形成されたGaP半導体層の断面を表わしている。図中、1はⅣ族半導体基板の一例としてSi基板、2は同種もしくは異種のⅣ族半導体層を、その成長表面上に発生する段差が該Ⅳ族半導体層の二原子層分に相当する厚さの整数倍となるようにエピタキシャル成長させる第一の工程の一例としてSiエピタキシャル層を、3は前記第一の工程により形成されたⅣ族半導体層の表面上にV族元素の単原子層を吸着形成させる第二の工程の一例としてP単原子層を、4は前記V族元素を構成元素とする

(5)

—506—

(6)

II-V族化合物半導体層を前記第二の工程により形成された前記V族元素の單原子層の表面上にエピタキシャル成長させる第三の工程の一例としてGaPをエピタキシャル層させたものであり、以下の様に形成した。まず、Si基板を有機溶剤により脱脂洗浄した後、酸化膜形成、エッティングの工程を数回繰りかえし、Si基板表面に汚れない酸化膜を形成した後、前記分子線エピタキシャル装置に挿入した。次に 10^{-10} Torr 以下の超高真空下で上記 Si 基板を $700^{\circ}\text{C} \sim 900^{\circ}\text{C}$ の温度範囲で加熱処理し、Si基板の表面に形成された酸化膜を除去した。次に、電子ビーム蒸着源を用いて Si を蒸発させ、Siエピタキシャル層を成長速度 $0.5\text{ \AA/s} \sim 10\text{ \AA/s}$ 、Si基板温度を $300^{\circ}\text{C} \sim 700^{\circ}\text{C}$ の範囲で、反射高速電子線の<100>方向入射による回折像の鏡面反射点の振動強度を観察しながら、その成長表面上に発生する段差が Si エピタキシャル層の二原子層分に相当する厚さの整数倍となるよう上記 Si 基板上に Si をエピタキシャル成長させた。この結果

(7)

GaPエピタキシャル層にはアンチフェイズバンダリが存在しないことが明らかになった。また、得られた GaP エピタキシャル層の結晶性を評価するため、二結晶 X 線回折、Hall 测定を行なった結果、単結晶と比肩する (400) 回折線の半値幅、キャリア濃度が得られ、高品位の結晶性が得られていることが明らかとなった。

以上の実施例では、分子線エピタキシャル装置を用いてエピタキシャル成長を行なっているが、例えば第三の工程において、より高い成長速度と量産性が期待できる有機金属化学気相成長装置もしくは液相成長装置を用いることも可能である。

また以上の実施例では、IV族半導体基板として Si 基板を、IV族半導体層として Si エピタキシャル層を、V族元素の單原子層として P 単原子層を、II-V族化合物半導体層として GaP エピタキシャル層の例について述べたが、IV族半導体基板として Ge 基板を、第一の工程によりエピタキシャル成長させる IV族半導体層として Si、

果、成長速度 3.0 \AA/s 以下、基板温度 $400^{\circ}\text{C} \sim 500^{\circ}\text{C}$ の条件下で反射高速電子線回折像の安定した振動が得られ、Siエピタキシャル層の成長表面上に発生する段差が Siエピタキシャル層の二原子層分に相当する厚さの整数倍となる様にエピタキシャル成長されていることが明らかになった。次に、クヌードセンセルを用いて P を蒸発させ、Si基板温度を 500°C で、前記第一の工程により形成された Si エピタキシャル層の表面上に P の单原子層を吸着形成させた。次に、クヌードセンセルを用いて Ga および P を蒸発させ、成長速度 $0.5\text{ \AA/s} \sim 10\text{ \AA/s}$ 、Si基板温度 $300^{\circ}\text{C} \sim 700^{\circ}\text{C}$ の範囲で、II族元素と V族元素の分圧比を 10 に設定し、GaP エピタキシャル層をエピタキシャル成長させた。その結果、第三の工程において Si 基板温度を 550°C 以下で成長速度が 5.0 \AA/s 以下の条件であれば、その成長表面が極めて平滑な GaP エピタキシャル層が得られた。さらに、得られた GaP エピタキシャル層を溶融 KOH によるエッティングを行なった結果、

(8)

$\text{Ge}_{x}\text{Si}_{1-x}\text{Ge}_x$ を、第三の工程によりエピタキシャル成長させる II-V族化合物半導体層として GaAs、InP を選び結晶成長を試み、前記実施例と同様の効果を得た。

(発明の効果)

以上説明したように、本発明による II-V族化合物半導体のエピタキシャル結晶成長方法によれば、IV族半導体基板上に高品位の II-V族化合物半導体のエピタキシャル結晶成長が可能となるため、大きな量産性、経済性をもたらす効果を有するものである。

4. 図面の簡単な説明

第 1 図は面方位 <100> の Si 基板上に形成された GaP エピタキシャル層の断面を表わす図で第 2 図は Si 基板上の段差が一原子層に相当する場合、第 3 図は二原子層に相当する場合の原子配列を示す。

1 … Si 基板、2 … Si 基板上に第一の工程により形成された Si エピタキシャル層、3 … Si エピタキシャル層の上に第二の工程により形成され

(9)

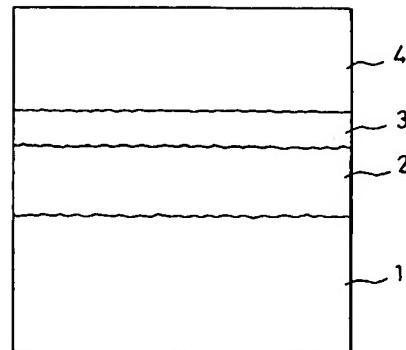
—507—

(10)

1 … Si エピタキシャル層、 3 … Si エピタキシャル層の上に第二の工程により形成された P 単原子層、 4 … P 単原子層の上に第三の工程により形成された GaP エピタキシャル層。

第 1 図

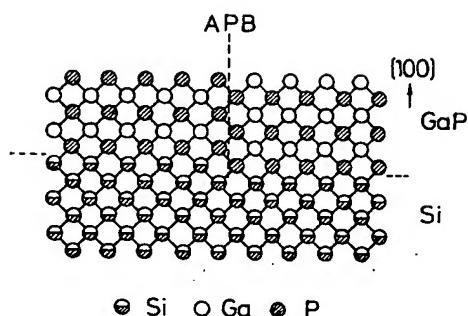
出願人 日本電信電話株式会社
代理人 弁理士 高山敏
(ほか1名)



- 1 … Si 基板
2 … Si エピタキシャル層
3 … P 単原子層
4 … GaP エピタキシャル層

(11)

第 2 図



第 3 図

